

Diseño de Video Aceleradores

Asesores

Dr. Jose Luis TecpanecatI Xihuitl, Dra. Ruth M. Aguilar Ponce

Motivación

Las áreas de investigación de sistemas en tiempo real que actualmente están mostrando un mayor desarrollo son las relacionadas con el procesamiento de video. Estas áreas incluyen las comunicaciones donde la compresión de video para almacenamiento o para su transmisión en tiempo real resulta cada vez más importante en las diferentes aplicaciones. Procesamiento de imágenes y video en áreas biomédicas, así como también video vigilancia es otra de las áreas que tiene un importante desarrollo en grandes ciudades así como en lugares cerrados como aeropuertos y en general el procesamiento de señales en tiempo real. Sin embargo, la necesidad del procesamiento en tiempo real resulta un reto ya que cada vez se requieren de algoritmos de procesamiento con una complejidad mayor.

Por otro lado, la integración de sistemas más complejos se incrementa cada día debido a que cada vez es posible incrementar la cantidad de transistores en la misma área de silicio. Los video aceleradores son bloques de procesamiento dedicado que requieren ser implementadas para su funcionamiento en tiempo real. En el área de video procesamiento operaciones básicas de álgebra lineal tales como la multiplicación matricial, multiplicación matriz-vector, factorización matricial y producto punto son esenciales. Sin embargo, por la complejidad que estas operaciones involucradas son candidatas para su implementación como aceleradores.

Objetivo

El objetivo de este trabajo de tesis es diseñar e implementar video aceleradores que realicen operaciones básicas de álgebra lineal mediante arquitecturas basadas en aritmética distribuida para su funcionamiento en tiempo real.

Metodología

- Realizar una revisión de arquitecturas que realizan operaciones de álgebra lineal.
- Realizar un análisis de arquitecturas de baja complejidad y reducido retardo de propagación para la implementación de operaciones de álgebra lineal.
- Realizar la descripción de la arquitectura propuesta y su verificación en una plataforma basada en FPGAs.

Calendario de Actividades

Actividades	1	2	3	4	5	6	7	8	9	10	11	12
Revisión del estado del arte												
Análisis de arquitecturas												
Implementación y verificación de propuesta												
Escritura de Tesis												

Materias por cursar

- Procesamiento digital de señales en tiempo real
- Tópicos Selectos de Ingeniería Electrónica

Bibliografía

1. Shams, A.M.; Chidanandan, A.; Pan, W.; Bayoumi, M.A., "NEDA: a low-power high-performance DCT architecture," *Signal Processing, IEEE Transactions on* , vol.54, no.3, pp.955,964, March 2006
2. TecpanecatI-Xihuit, J.Luis; Aguilar-Ponce, Ruth M.; Bayoumi, M., "Hybrid multiplierless FIR filter architecture based on NEDA," *Very Large Scale Integration, 2007. VLSI - SoC 2007. IFIP International Conference on* , vol., no., pp.316,319, 15-17 Oct. 2007
3. Herbordt, M.C.; Yongfeng Gu; VanCourt, T.; Model, J.; Sukhwani, B.; Chiu, M., "Computing Models for FPGA-Based Accelerators," *Computing in Science & Engineering* , vol.10, no.6, pp.35,45, Nov.-Dec. 2008
4. Ling Zhuo; Prasanna, V.K., "High-Performance Designs for Linear Algebra Operations on Reconfigurable Hardware," *Computers, IEEE Transactions on* , vol.57, no.8, pp.1057,1071, Aug. 2008
5. Yongtao Wang; Roy, K., "CSDC: a new complexity reduction technique for multiplierless implementation of digital FIR filters," *Circuits and Systems I: Regular Papers, IEEE Transactions on* , vol.52, no.9, pp.1845,1853, Sept. 2005