

Diseño de una Arquitectura Consiente de la Potencia para Codificación de Video

Asesores: Dr. Jose Luis TecpanecatI-Xihuitl, Dra. Ruth M. Aguilar-Ponce

Motivación

Actualmente los sistemas multimedia portátiles son cada vez más comunes, y un ejemplo claro son I pads, tabletas, teléfonos inteligentes, relojes inteligentes sin olvidar los google glass. Todo esto gracias a los avances en la tecnología de semiconductores la cual trata de colocar en un área muy pequeña cientos de millones de transistores. Lo anterior permite que el poder de cómputo se incremente al grado de poder manejar codificación en tiempo real de HDTV o resoluciones más altas. Los sistemas móviles se limitan por la capacidad de las baterías resultando un tema de diseño crítico. Al agregar un mayor número de aplicaciones multimedia a los sistemas móviles, la capacidad de las baterías es fácilmente sobrepasada. Aunado a esto, la tecnología de fabricación de baterías no ha podido evolucionar al ritmo del requerimiento de potencia de los sistemas móviles. Por esta razón los diseñadores de Circuitos Integrados dirigen sus esfuerzos a una combinación de diferentes técnicas en los diferentes niveles de abstracción de diseño. Actualmente todos los diseños de sistemas portátiles adoptan la estrategia de diseños de baja potencia (Low Power Design), sin embargo no es suficiente con las demandas de un número mayor de aplicaciones multimedia. Por lo que la nueva tendencia de diseño es Power-Aware, es decir consciente de la potencia proporcionando diversos estados de operación para lograr un uso eficiente de la potencia y prolongar el tiempo de vida de la batería. El diseño Power-Aware está basado en tener múltiples modos de operación de un sistema, el cual pueda adaptarse a las condiciones, en este caso a la energía de la batería. Por lo tanto esta estrategia de diseño se enfoca a proponer una arquitectura la cual provea una función dedicada y a la vez reconfigurable paramétricamente para poder conseguir requerimientos estrictos de tiempo-real [1-4].

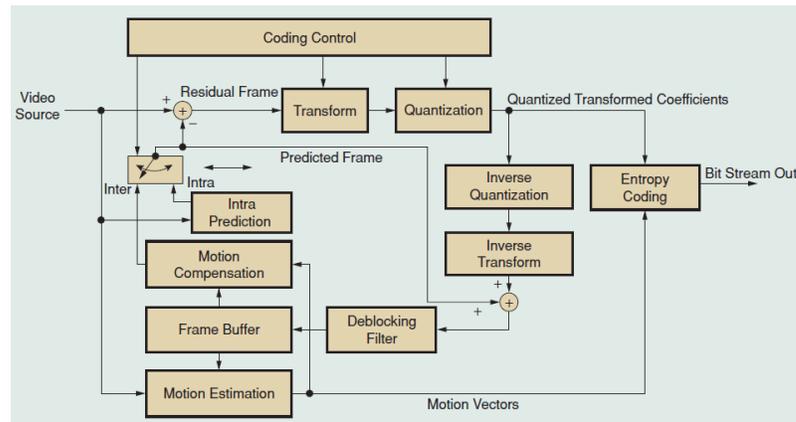


Figura 1. Esquema General de Video Codificación

En sistemas multimedia la compresión de video o video codificación es un área fundamental en el almacenamiento o transmisión de información. En el proceso de codificación de información, en este caso video, los procesos de estimación de movimiento (ME), compensación de movimiento (MC) y la transformada discreta del coseno (DCT) son bloques de procesamiento fundamentales en los estándares de codificación tales como MPEG-1/-2/-4, H.26x, H.264/AVC y H.265 (HEVC). Además estos tres bloques son identificados como los bloques de procesamiento más complejos en términos de cómputo, por lo tanto con un alto consumo de potencia. La figura 1

muestra un esquema general de video codificación. Mediante el diseño (Power-aware) se consideraran como factores de optimización, la razón de compresión, la calidad de video y la complejidad de implementación. Una estrategia para poder realizar este proceso de optimización de los parámetros es explotar las características de los datos del video y los datos intermedios durante el proceso de compresión. En este trabajo se propone detectar operaciones las cuales pueden ser despreciadas, de esta manera ahorrar energía. Lo anterior permitiría una estrategia en la reducción de precisión en operaciones aritméticas para ofrecer una calidad de video variante y lograr prolongar la energía de la batería [1-4].

Objetivo

Diseño de una arquitectura para video compresión la cual maneje distintos niveles de precisión aritmética para la reducción de consumo de potencia.

Metodología

- Revisión del proceso de codificación de video.
- Descomposición en sub-bloques de procesamiento para ME/MC.
- Realizar el control de los subbloques mediante la información de los datos de video y datos intermedios en el procesamiento de compresión.
- Verificación mediante simulación en MATLAB-Simulink.
- Verificación de la propuesta mediante su implementación en HDL y su emulación en un FPGA.

Calendario de Actividades

Actividades	1	2	3	4	5	6	7	8	9	10	11	12
Revisión del estado del arte												
Revisión del proceso de codificación de video												
Descomposición en sub-bloques de procesamiento para ME/MC												
Control de los sub-bloques												
Verificación mediante simulación en MATLAB-Simulink.												
Implementación en HDL y su emulación en un FPGA												
Escritura de Tesis												

Materias por cursar

1. Tópicos Selectos de Ingeniería Electrónica
2. Codificación de Datos

Bibliografía

1. Lian, Chung-Jr, Shao-Yi Chien, Chia-Ping Lin, Po-Chih Tseng, and Liang-Gee Chen. "Power-aware multimedia: concepts and design perspectives." Circuits and Systems Magazine, IEEE 7, no. 2 (2007): 26-34.
2. Chang, Hsiu-Cheng, Jia-Wei Chen, Bing-Tsung Wu, Ching-Lung Su, Jinn-Shyan Wang, and Jiun-In Guo. "A dynamic quality-adjustable H. 264 video encoder for power-aware video applications." IEEE Transactions on Circuits and Systems for Video Technology 19, no. 12 (2009): 1739-1754.
3. Zhang, Jiucai, Dalei Wu, Song Ci, Haohong Wang, and Aggelos K. Katsaggelos. "Power-aware mobile multimedia: a survey." Journal of Communications 4, no. 9 (2009): 600-613.
4. Lin, Siou-Shen, Po-Chih Tseng, Chia-Ping Lin, and Liang-Gee Chen. "Multi-mode content-aware motion estimation algorithm for power-aware video coding systems." In Signal Processing Systems, 2004. SIPS 2004. IEEE Workshop on, pp. 239-244. IEEE, 2004.