

# Diseño de una Arquitectura Configurable basada en una Nueva Aritmética Distribuida

Asesores

Dr. Jose Luis TecpanecatI Xihuitl, Dra. Ruth M. Aguilar Ponce

## Motivación

Las áreas de investigación de sistemas en tiempo real que actualmente están mostrando un mayor desarrollo son las áreas relacionadas con el procesamiento de video. Estas áreas incluyen las comunicaciones donde la compresión de video para almacenamiento o para su transmisión en tiempo real resulta cada vez más importante en las diferentes aplicaciones. Video vigilancia es otra de las áreas que tiene un importante desarrollo en grandes ciudades así como en lugares cerrados como aeropuertos y en general el procesamiento de señales en tiempo real. Sin embargo, la necesidad del procesamiento en tiempo real resulta un reto ya que cada vez se requieren de algoritmos de procesamiento con una complejidad mayor.

La reducción de la complejidad en sistemas digitales se obtiene mediante la reducción de operaciones costosas en términos de cómputo y retardo de propagación. Para lo cual, se siguen dos estrategias. La primera enfocada en arquitecturas orientadas en paralelismo, pipeline, interleaved, multiplexed o su combinación para alcanzar los requisitos impuestos en los algoritmos y finalmente en el uso eficiente de longitudes de palabra, donde al considerar una representación variable de datos permite una reducción en su complejidad computacional sin que se sacrifique la presentación de los datos.

## Objetivo

El objetivo de este trabajo de tesis es diseñar una arquitectura configurable de longitud de palabra variable en tiempo real.

## Metodología

- Realizar una revisión de arquitecturas basadas en aritmética distribuida.
- Realizar un análisis de arquitecturas de baja complejidad y área reducida, para su implementación con longitud de palabra variable.
- Realizar la propuesta de un sistema de configuración para el manejo de longitudes de palabra variable.
- Realizar la descripción del sistema digital y su verificación en una plataforma basada en FPGAs.

## Calendario de Actividades

Actividades	1	2	3	4	5	6	7	8	9	10	11	12
Revisión del estado del arte	█	█	█	█	█	█	█	█	█	█	█	█
Análisis de arquitecturas			█	█	█	█						
Implementación y verificación de propuesta						█	█	█	█	█	█	█
Escritura de Tesis				█	█	█	█	█	█	█	█	█

## Materias por cursar

- Procesamiento digital de señales en tiempo real
- Tópicos Selectos de Ingeniería Electrónica

## Bibliografía

1. Shams, A.M.; Chidanandan, A.; Pan, W.; Bayoumi, M.A., "NEDA: a low-power high-performance DCT architecture," Signal Processing, IEEE Transactions on , vol.54, no.3, pp.955,964, March 2006
2. TecpanecatI-Xihuit, J.Luis; Aguilar-Ponce, Ruth M.; Bayoumi, M., "Hybrid multiplierless FIR filter architecture based on NEDA," Very Large Scale Integration, 2007. VLSI - SoC 2007. IFIP International Conference on , vol., no., pp.316,319, 15-17 Oct. 2007