

# Diseño de Video Acelerador para la Conversión de Espacios de Color

Asesores

Dr. Jose Luis TecpanecatI Xihuitl, Dra. Ruth M. Aguilar Ponce

## Motivación

Las áreas de investigación de sistemas en tiempo real que actualmente están mostrando un mayor desarrollo son las relacionadas con el procesamiento de video. Estas áreas incluyen las comunicaciones donde la compresión de video para almacenamiento o para su transmisión en tiempo real resulta cada vez más importante en las diferentes aplicaciones. Procesamiento de imágenes y video en áreas biomédicas, así como también video vigilancia es otra de las áreas que tiene un importante desarrollo en grandes ciudades así como en lugares cerrados como aeropuertos y en general el procesamiento de señales en tiempo real. Sin embargo, la necesidad del procesamiento en tiempo real resulta un reto ya que cada vez se requieren de algoritmos de procesamiento con una complejidad mayor.

Por otro lado, la integración de sistemas más complejos se incrementa cada día debido a que cada vez es posible incrementar la cantidad de transistores en la misma área de silicio. Los video-aceleradores son bloques de procesamiento dedicado que requieren ser implementados para su funcionamiento en tiempo real. En el área de video procesamiento se requieren de conversiones de espacios de color para diferentes aplicaciones tales como detección. Una de las operaciones más costosa computacionalmente y de mayor retardo de propagación son las multiplicaciones, la cual impacta por un lado en un mayor consumo de potencia y por el otro en velocidad de procesamiento. Por lo tanto, diferentes arquitecturas sin multiplicaciones (Multiplierless) son preferidas para reducir la potencia y disminuir su retardo de propagación.

## Objetivo

El objetivo de este trabajo de tesis es diseñar e implementar un video acelerador que realice la conversión de espacios de color por medio de arquitecturas multiplierless basadas en aritmética distribuida para su operación en tiempo real.

## Metodología

- Realizar una revisión del estado del arte en arquitecturas multiplierless.
- Realizar un análisis de arquitecturas de baja complejidad y reducido retardo de propagación para la implementación de conversión de espacios de color.
- Proponer una arquitectura para la implementación de conversión de espacios de color

- Realizar la descripción del sistema digital y su verificación en una plataforma basada en FPGAs.

## Calendario de Actividades

Actividades	1	2	3	4	5	6	7	8	9	10	11	12
Revisión del estado del arte												
Análisis de arquitecturas												
Implementación y verificación de propuesta												
Escritura de Tesis												

## Materias por cursar

- Procesamiento digital de señales en tiempo real
- Tópicos Selectos de Ingeniería Electrónica

## Bibliografía

1. Russek, P.; Wiatr, K., "Dedicated architecture for double precision matrix multiplication in supercomputing environment," Design and Diagnostics of Electronic Circuits and Systems, 2007. DDECS '07. IEEE , vol., no., pp.1,4, 11-13 April 2007
2. Herbordt, M.C.; Yongfeng Gu; VanCourt, T.; Model, J.; Sukhwani, B.; Chiu, M., "Computing Models for FPGA-Based Accelerators," Computing in Science & Engineering , vol.10, no.6, pp.35,45, Nov.-Dec. 2008
3. Shams, A.M.; Chidanandan, A.; Pan, W.; Bayoumi, M.A., "NEDA: a low-power high-performance DCT architecture," Signal Processing, IEEE Transactions on , vol.54, no.3, pp.955,964, March 2006
4. TecpanecatI-Xihuit, J.Luis; Aguilar-Ponce, Ruth M.; Bayoumi, M., "Hybrid multiplierless FIR filter architecture based on NEDA," Very Large Scale Integration, 2007. VLSI - SoC 2007. IFIP International Conference on , vol., no., pp.316,319, 15-17 Oct. 2007
5. Yongtao Wang; Roy, K., "CSDC: a new complexity reduction technique for multiplierless implementation of digital FIR filters," Circuits and Systems I: Regular Papers, IEEE Transactions on , vol.52, no.9, pp.1845,1853, Sept. 2005